

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 12 月 19 日 (19.12.2002)

PCT

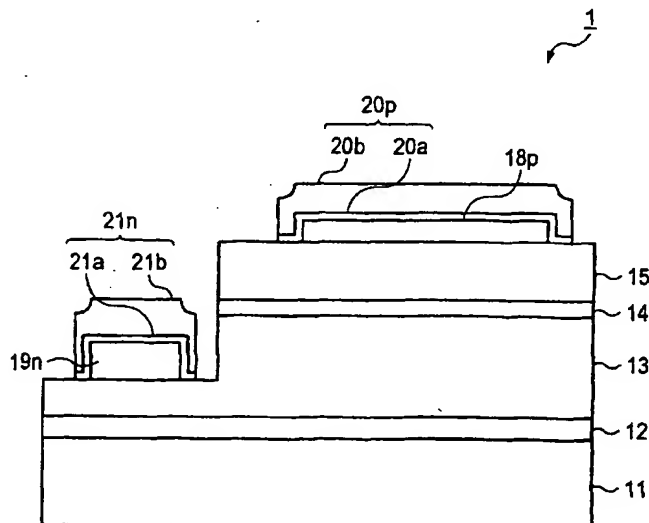
(10) 国際公開番号
WO 02/101841 A1

- (51) 国際特許分類: H01L 33/00 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 上村 俊也 (UE-MURA, Toshiya) [JP/JP]; 〒452-8564 愛知県 西春日井郡 春日町大字落合字長畑 1 番地 豊田合成株式会社内 Aichi (JP). 堀内 茂美 (HORIUCHI, Shigemi) [JP/JP]; 〒452-8564 愛知県 西春日井郡 春日町大字落合字長畑 1 番地 豊田合成株式会社内 Aichi (JP).
- (21) 国際出願番号: PCT/JP02/05430
- (22) 国際出願日: 2002 年 6 月 3 日 (03.06.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (74) 代理人: 高松 猛 (TAKAMATSU, Takeshi); 〒107-6028 東京都 港区 赤坂一丁目 1 2 番 3 2 号 アーク森ビル 2 8 階 栄光特許事務所 Tokyo (JP).
- (30) 優先権データ:
特願2001-170908 2001 年 6 月 6 日 (06.06.2001) JP
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.
- (71) 出願人 (米国を除く全ての指定国について): 豊田合成株式会社 (TOYODA GOSEI CO., LTD.) [JP/JP]; 〒452-8564 愛知県 西春日井郡 春日町大字落合字長畑 1 番地 Aichi (JP).

[続葉有]

(54) Title: III GROUP NITRIDE BASED SEMICONDUCTOR LUMINESCENT ELEMENT

(54) 発明の名称: III族窒化物系化合物半導体発光素子



(57) Abstract: A III Group nitride based semiconductor luminescent element of flip chip type, wherein a Au layer is provided via a Ti layer on the surface of a p-side electrode and the surface of an n-side electrode.

(57) 要約:

フリップチップタイプの III 族窒化物系化合物半導体発光素子において、p 側電極表面及び n 側電極表面に Ti 層を介して Au 層を設ける。

WO 02/101841 A1



(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

III 族窒化物系化合物半導体発光素子

技術分野

本発明は III 族窒化物系化合物半導体発光素子に関する。詳しくは同一面側に p 側電極および n 側電極が形成される III 族窒化物系化合物半導体発光素子に関するものであり、好ましくはフリップチップタイプの発光装置に用いられる。

背景技術

III 族窒化物系化合物半導体からなる発光層を備える素子を、p 側電極及び n 側電極が形成される面側をマウント面として支持体にマウントした構成（フリップチップタイプ）の発光装置が知られている。このタイプの発光装置では、発光素子の発光層で発光した光が光透過性の基板を通して外部に放射される。発光素子の各電極は、導電性の接着部材を介して支持体の電極（n 層、p 層又は配線パターン）と電気的に接続される。導電性の接着部材には高い導電性が要求され、一般に、Au からなる接着部材（Au バンプ）が用いられる。また、発光素子の n 側電極には Al、V 等が用いられる。他方、p 側電極には、コンタクト抵抗が低く、かつ反射効率の高い Rh 等が用いられる。

p 側電極として Rh を用いた場合には、Au バンプと Rh との接着性が低いため、予め p 側電極表面に Au からなる厚膜を形成し、p 側電極と Au バンプの接着性を高めることが行われる。これにより、発光素子と支持体との接合強度が高められる。しかしながら、n 側電極に着目すればその表面は電極材料の Al 等であり、n 側電極と Au バンプとの接合強度は十分といえない。そのため、保存特性又は耐久性の面から改善の余地があるものであった。また、n 側電極と支持体との間の接合不良が生じ、十分な素子機能が発揮されない惧れがあった。さらには、n 側電極表面に電極材料である Al 等が露出していることは、耐食性の観点からも好ましくない。また、電極を半田付けする場合にも一方が Al、他方が A

uではその半田付け性に問題があった。

本発明は、以上の課題に鑑みなされたものであり、III 族窒化物系化合物半導体発光素子であって、保存特性ないしは耐久性に優れ、さらに安定した素子機能を有する発光素子を提供することを目的とする。

発明の開示

本発明は、上記目的を達成すべく以下の構成からなる。即ち、本発明によれば、その同一面側に形成されたp側電極及びn側電極を有するIII族窒化物系化合物半導体発光素子であって、該p側電極の表面に形成されたAuを含むp側電極膜と、該n側電極の表面に形成されたAuを含むn側電極膜を有するIII族窒化物系化合物半導体発光素子が提供される。

上記の構成では、発光素子を支持体にマウントするために用いられる接着材(Auバンプ)の材料(Au)を含む膜がp側電極表面及びn側電極表面に形成され、両電極表面と当該接着材との接着性が高まる。その結果、発光素子を支持体にマウントした場合に、発光素子と支持体との接合強度が向上する。これにより、素子機能の安定化が図られ、また、保存特性ないしは耐久性が向上する。

また、両電極表面にAuを含む膜が形成されるため、両電極表面の耐食性が向上する。かかる点においても、保存安定性ないしは耐久性が高いIII族窒化物系化合物半導体発光素子が提供されるといえる。

以上のように、上記本発明の構成によれば、保存特性ないしは耐久性に優れ、さらに安定した素子機能を有する発光素子が提供される。

尚、上記の構成では両電極表面に同様な構成の膜が形成されるため、両電極表面の色調を合わせることができる。したがって、発光素子の両電極が形成される面の外観認識性が向上し、当該面側をマウント面として支持体をマウントする際のマウント精度の向上、マウント工程の効率化等が図られるといった効果も奏される。

図面の簡単な説明

図1は、本発明の一実施例である発光素子を示す図である。

図2は、発光素子を用いて構成されるLEDを示す図である。

図3は、LEDにおけるカップ状部近傍の拡大図である。

図4は、発光素子を用いて構成されるSMDタイプのLEDを示す図である。

発明を実施するための最良の形態

本発明のIII族窒化物系化合物半導体発光素子は、フリップチップタイプの発光素子であって、同一面側にp側電極及びn側電極が形成される。フリップチップタイプの発光素子とは、フリップチップタイプの発光装置に用いられる発光素子を意味し、即ち、p側電極及びn側電極が形成される面側をマウント面として基板等の支持体にマウントされて使用される発光素子である。発光した光は基板側、即ち電極形成面側と反対側より放射される。

III族窒化物系化合物半導体発光素子とは、III族窒化物系化合物半導体からなる発光層を有する発光素子をいう。ここで、III族窒化物系化合物半導体とは、一般式として $Al_xGa_yIn_{1-x-y}N$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq x+y \leq 1$) の四元系で表され、 AlN 、 GaN 及び InN のいわゆる2元系、 $Al_xGa_{1-x}N$ 、 $Al_xIn_{1-x}N$ 及び $Ga_xIn_{1-x}N$ (以上において $0 < x < 1$) のいわゆる3元系を包含する。III族元素の少なくとも一部をボロン(B)、タリウム(Tl)等で置換しても良く、また、窒素(N)の少なくとも一部もリン(P)、ヒ素(As)、アンチモン(Sb)、ビスマス(Bi)等で置換できる。III族窒化物系化合物半導体層は任意のドーパントを含むものであっても良い。n型不純物として、Si、Ge、Se、Te、C等を用いることができる。p型不純物として、Mg、Zn、Be、Ca、Sr、Ba等を用いることができる。

III族窒化物系化合物半導体層は、周知の有機金属気相成長法(MOCVD法)、分子線結晶成長法(MBE法)、ハライド系気相成長法(HVPE法)、スパッタ法、イオンプレーティング法、電子シャワー法等によって形成することができる。

なお、p型不純物をドーブした後にIII族窒化物系化合物半導体を電子線照射、プラズマ照射若しくは炉による加熱にさらすことも可能であるが必須ではない。

以下、本発明の各要素についてより詳細に説明する。

(p 側電極)

p 側電極材料としては、Rh、Au、Pt、Ag、Cu、Al、Ni、Co、Mg、Pd、V、Mn、Bi、Sn、Re などの金属またはこれらの合金を用いることができる。中でもRh、Ptは、III 族窒化物系化合物半導体発光素子の発光波長に対して高い反射効率を有するため、好適な p 側電極材料として用いることができる。p 側電極を、異なる組成の層が積層された二層又は多層構造とすることもできる。

(p 側電極膜)

p 側電極表面には、Au (金) を含む p 側電極膜が形成される。p 側電極膜は、発光素子を支持体にマウントする際に用いられるAuからなる接着部材 (以下、「Au バンプ」という) と p 側電極との接着性を高め、その結果、発光素子と支持体との接合強度が高まる。

p 側電極膜は、p 側電極表面の少なくとも一部を覆って形成されておればよい。好ましくは、p 側電極の表面全体を覆って p 側電極膜が形成される。これにより、p 側電極表面の全体がAuを含む膜により被覆されることとなり、p 側電極表面の耐食性が向上する。また、Au バンプとの接着性の向上も期待できる。

p 側電極膜を複数の層が積層した構成とすることが好ましい。例えば、Ti、Cr、W、Mo、Ta、Zr、及びVからなる群より選択される金属又は該金属の合金からなる下地層と、その上に形成されるAu又はAu合金からなる上層との二層からなる p 側電極膜を採用することが好ましい。ここでの下地層は、p 側電極表面と上層 (Au又はAu合金からなる層) の接着性を高めるために用いられる。蒸着等により容易に形成できるため、下地層の材料としてTi、Cr、又はVを採用することが特に好ましい。また、上層の材料をAu バンプの材料と同一にすることが好ましい。両者の接着性を高めるためである。下地層と上層の間、又は上層の上に他の層を形成することもできる。

下地層の膜厚は、上層の膜厚よりも小さいことが好ましい。換言すれば、p側電極の表面に薄い下地層を形成し、その上に厚膜の上層を形成することが好ましい。下地層を薄く形成することにより、下地層による電気抵抗の上昇が抑えられる。また、上層を厚く形成することにより、p側電極膜とAuバンプとの接着性がよくなる。下地層の膜厚としては、例えば、1 nm～100 nmの範囲であり、好ましくは、5 nm～50 nmの範囲である。上層の膜厚としては、例えば、0.1 μm～50 μmの範囲であり、好ましくは、0.3 μm～3 μmの範囲である。

(n側電極)

n側電極材料としては、Al、V、Sn、Ti、Cr、Nb、Ta、Mo、W、Hfなどの金属またはこれらの合金を用いることができる。n側電極を、異なる組成の層が積層された二層又は多層構造とすることもできる。例えば、VとAlの2層構造とすることができる。

(n側電極膜)

p側電極表面と同様に、n側電極表面にもAu（金）を含むn側電極膜が形成される。n側電極膜を形成することにより、発光素子をAuバンプにより支持体にマウントする際のn側電極とAuバンプとの接着性(密着性)が高まり、その結果、発光素子と支持体との接合強度が上昇する。

n側電極膜は、n側電極表面の少なくとも一部を覆って形成されておればよい。好ましくは、n側電極の表面全体を覆ってn側電極膜が形成される。これにより、n側電極表面の全体がAuを含む膜により被覆されることとなり、n側電極の耐食性が向上する。また、Auバンプとの接着性の向上も期待できる。

n側電極膜を複数の層が積層した構成とすることが好ましい。例えば、Ti、Cr、W、Mo、Ta、Zr、及びVからなる群より選択される金属又は該金属の合金からなる下地層と、その上に形成されるAu又はAu合金からなる上層との二層からなるn側電極膜を採用することが好ましい。ここでの下地層は、n側電極表面と上層（Au又はAu合金からなる層）の接着性を高めるために用いら

れる。蒸着等により容易に形成できるため、下地層の材料としてTi、Cr、又はVを採用することが特に好ましい。また、上層の材料をAuバンプの材料と同一にすることが好ましい。両者の接着性を高めるためである。下地層と上層の間、又は上層の上に他の層を形成することもできる

下地層の膜厚は、上層の膜厚よりも小さいことが好ましい。換言すれば、n側電極の表面に薄い下地層を形成し、その上に厚膜の上層を形成することが好ましい。下地層を薄く形成することにより、下地層による電気抵抗の上昇が抑えられる。また、上層を厚く形成することにより、n側電極膜とAuバンプとの接着性がよくなる。下地層の膜厚としては、例えば、1nm～100nmの範囲であり、好ましくは、5nm～50nmの範囲である。上層の膜厚としては、例えば、0.1μm～50μmの範囲であり、好ましくは、0.3μm～3μmの範囲である。

n側電極膜の構成をp側電極膜の構成と同一とすることが好ましい。このような態様では、n側電極膜とp側電極膜とを同時に形成させることができ、製造工程を簡略化できるからである。例えば、n側電極膜及びp側電極膜を、それぞれTiからなる下地層の上にAuからなる上層が積層された構成とする。

本発明のIII族窒化物系化合物半導体素子発光素子は、例えば、次のように製造することができる。

まず、III族窒化物系化合物半導体層を成長可能な基板を用意し、その上に少なくともn型III族窒化物系化合物半導体層、III族窒化物系化合物半導体からなる発光層、及びp型III族窒化物系化合物半導体層がこの順に並ぶように複数の半導体層を積層する。基板には、サファイア、スピネル、シリコン、炭化シリコン、酸化亜鉛、リン化ガリウム、ヒ化ガリウム、酸化マグネシウム、酸化マンガ、III族窒化物系化合物半導体単結晶等を用いることができる。サファイア基板を用いる場合にはそのa面を利用することが好ましい。

次に、エッチング処理を施しn型半導体層の一部を表出させる。続いて、p側電極及びn側電極を、p型III族窒化物系化合物半導体層上及びn型III族窒化物系化合物半導体層上にそれぞれ形成する。p側電極及びn側電極の形成は、蒸着、スパッタリング等の公知の方法により行うことができる。次に、試料の表面

を清浄化する。清浄化の方法として加熱、紫外線照射などが挙げられる。試料表面、特にn電極の表面を清浄化することにより、n側電極とn側電極膜との間に十分な接合力を確保できる。続いて、p側電極表面にp側電極膜を形成する。同様にn側電極表面にn側電極膜を形成する。p側電極膜及びn側電極膜の形成は、それぞれ、蒸着、スパッタリング等の公知の方法により行うことができる。p側電極膜とn側電極を同一の構成とする場合には、p側電極膜とn側電極膜とを同時に形成することができる。

<実施例>

以下、本発明の実施例を用いて、本発明の構成をより詳細に説明する。

図1は一の実施例である発光素子1の構成を模式的に示した図である。発光素子1の各層のスペックは次の通りである。

層	組成
p型層15	p-GaN:Mg
発光する層を含む層14	InGaN層を含む
n型層13	n-GaN:Si
バッファ層12	AlN
基板11	サファイア

基板11の上にはバッファ層12を介してn型不純物としてSiをドーピングしたGaNからなるn型層13を形成した。ここで、基板11にはサファイアを用いたが、これに限定されることはなく、サファイア、スピネル、シリコン、炭化シリコン、酸化亜鉛、リン化ガリウム、ヒ化ガリウム、酸化マグネシウム、酸化マンガ、III族窒化物系化合物半導体単結晶等を用いることができる。さらにバッファ層はAlNを用いてMOCVD法で形成されるがこれに限定されることはなく、材料としてはGaN、InN、AlGaN、InGaN及びAlInGaN等を用いることができ、製法としては分子線結晶成長法(MBE法)、ハライド系気相成長法(HVPE法)、スパッタ法、イオンプレーティング法、電子シャワー法等を用いることができる。III族窒化物系化合物半導体を基板として用いた場

合は、当該バッファ層を省略することができる。

さらに基板とバッファ層は半導体素子形成後に、必要に応じて、除去することもできる。

ここでn型層はGa_{1-x}N_xで形成したが、AlGa_{1-x}N_x、InGa_{1-x}N_x若しくはAlInGa_{1-x-y-z}N_{x+y+z}を用いることができる。

また、n型層はn型不純物としてSiをドーブしたが、このほかにn型不純物として、Ge、Se、Te、C等を用いることもできる。

n型層13は発光する層を含む層14側の低電子濃度n-層とバッファ層12側の高電子濃度n+層とからなる2層構造とすることができる。

発光する層を含む層14は量子井戸構造の発光層を含んでいてもよく、また発光素子の構造としてはシングルヘテロ型、ダブルヘテロ型及びホモ接合型のものなどでもよい。

発光する層を含む層14はp型層15の側にマグネシウム等のアクセプタをドーブしたバンドギャップの広いIII族窒化物系化合物半導体層を含むこともできる。これは発光する層を含む層14中に注入された電子がp型層15に拡散するのを効果的に防止するためである。

発光する層を含む層14の上にp型不純物としてMgをドーブしたGa_{1-x}N_xからなるp型層15を形成した。このp型層はAlGa_{1-x}N_x、InGa_{1-x}N_x又はInAlGa_{1-x-y-z}N_{x+y+z}とすることもできる、また、p型不純物としてはZn、Be、Ca、Sr、Baを用いることもできる。

さらに、p型層15を発光する層を含む層14側の低ホール濃度p-層と電極側の高ホール濃度p+層とからなる2層構造とすることができる。

上記構成の発光ダイオードにおいて、各III族窒化物系化合物半導体層は一般的な条件でMOCVDを実行して形成するか、分子線結晶成長法(MBE法)、ハライド系気相成長法(HVPE法)、スパッタ法、イオンプレーティング法、電子シャワー法等の方法で形成することもできる。

p型層15を形成した後、p型層15、発光する層を含む層14、n型層13のそれぞれ一部をエッチングにより除去し、n型層13の一部を表出させる。

続いて、p型層15上に、Rhからなるp電極18を蒸着により形成する。n電極19はAlとVの2層で構成され、蒸着によりn型層13上に形成される。その後、周知の手段によりアロイ化する。

p側電極膜20及びn側電極膜21は、ともにTiからなる下地層20a、21aの上にAuからなる上層20b、21bが積層された構成からなり、リフトオフ法により形成される。本実施例では、下地層20a、21aの膜厚を10nm、上層20b、21bの膜厚を1μmとした。

以上の工程の後、スクライバ等を用いてチップの分離工程を行う。

次に、発光素子1を用いて発光装置を構成した例を説明する。図2に示されるのは、発光素子1を用いたフリップチップタイプのLED2である。LED2は、発光素子1、リードフレーム30及び31、支持体としてのサブマウント用基板50、並びに封止樹脂35から概略構成される。以下、リードフレーム30のカップ状部33の近傍を拡大した図（図3）を参照しながら、発光素子1の載置態様を説明する。

発光素子1は、サブマウント用基板50を介してリードフレーム30のカップ状部33にマウントされる。基板50はp型領域51及びn型領域52を有し、その表面には、Auバンプ40が形成される部分を除いてSiO₂からなる絶縁膜60が形成されている。図に示されるように、電極側を下にして発光素子1を基板50にサブマウントすることにより、p側電極膜20はAuバンプを介して基板50のp型領域51に接続され、同様に、n側電極膜21はAuバンプを介して基板50のn側領域52に接続される。これにより、発光素子1のp電極18及びn電極19が、基板50のp型領域51及びn型領域52とそれぞれ電氣的に接続され、また、発光素子1が基板50に固定される。基板50は、発光素子1がマウントされる面と反対の面を接着面として、銀ペースト61によりリードフレーム30のカップ状部33に接着、固定される。

図4に、発光素子1を用いて構成される他のタイプの発光装置（LED3）を示す。LED3は、SMD（Surface Mount device）タイプのLEDである。尚、

上記のLED 2 と同一の部材には同一の符号を付してある。

LED 3 は、発光素子 1、支持体としての基板 70、及び反射部材 80 を備えて構成される。発光素子 1 は、上記 LED 2 における場合と同様に、電極側をマウント面として基板 70 にマウントされる。基板 70 の表面には配線パターン 71 が形成されており、かかる配線パターンと発光素子 1 の p 側電極膜 20 及び n 側電極膜 21 が Au バンプ 40 を介して接着されることにより、発光素子 1 の両電極は配線パターンと電氣的に接続される。基板 70 上には発光素子 1 を取り囲むように反射部材 80 が配置される。反射部材 80 は白色系の樹脂からなり、その表面で発光素子 1 から放射された光を高効率で反射することができる。

本発明を詳細にまた特定の実施態様を参照して説明したが、本発明の精神と範囲を逸脱することなく様々な変更や修正を加えることができることは当業者にとって明らかである。

本出願は、2001 年 6 月 6 日出願の日本特許出願（特願 2001-170908）に基づくものであり、その内容はここに参照として取り込まれる。

産業上の利用可能性

この発明は、上記発明の実施の形態の説明に何ら限定されるものではない。特許請求の範囲の記載を逸脱せず、当業者が容易に想到できる範囲で種々の変形態様もこの発明に含まれる。

以下、次の事項を開示する。

11. その同一面側に形成された p 側電極及び n 側電極を有する III 族窒化物系化合物半導体発光素子であって、該 p 側電極の表面に形成された Au を含む p 側電極膜と、該 n 側電極の表面に形成された Au を含む n 側電極膜とを有し、前記 p 側電極は、Rh、Au、Pt、Ag、Cu、Al、Ni、Co、Mg、Pd、V、Mn、Bi、Sn、及び Re からなる群より選択される一又は二以上の金属又は該金属の合金からなる発光素子。

12. その同一面側に形成された p 側電極及び n 側電極を有する III 族窒化物系化合物半導体発光素子であって、該 p 側電極の表面に形成された Au を含む p 側電極膜と、該 n 側電極の表面に形成された Au を含む n 側電極膜とを有し、前記 n 側電極は、Al、V、Sn、Ti、Cr、Nb、Ta、Mo、W、及び Hf からなる群より選択される一又は二以上の金属又は該金属の合金からなる発光素子。

21. 同一面側に p 側電極及び n 側電極が形成されるフリップチップタイプの III 族窒化物系化合物半導体発光素子の製造方法であって、

前記 p 側電極上に、Au を含む p 側電極膜を形成する工程、及び

前記 n 側電極上に、Au を含む n 側電極膜を形成する工程を含む製造方法。

22. 前記 n 側電極膜を形成する前に、前記 n 側電極表面を清浄化する工程が含まれる、21 に記載の製造方法。

23. 前記 p 側電極膜を形成する工程は、

前記 p 側電極上に Ti、Cr、W、Mo、Ta、Zr、及び V からなる群より選択される金属又は該金属の合金からなる下地層を形成する工程と、Au 又は Au 合金からなる上層を形成する工程とからなる、21 又は 22 に記載の製造方法。

24. 前記 n 側電極膜を形成する工程は、

前記 n 側電極上に Ti、Cr、W、Mo、Ta、Zr、及び V からなる群より選択される金属又は該金属の合金からなる下地層を形成する工程と、Au 又は Au 合金からなる上層を形成する工程とからなる、21～23 のいずれかに記載の製造方法。

25. 前記 p 側電極膜を形成する工程における上層を形成する工程と、前記 n 側電極膜を形成する工程における上層を形成する工程は同時に行われる、21～24 のいずれかに記載の製造方法。

26. 前記 p 側電極膜は前記 p 側電極の表面全体を覆って形成される、21～25 のいずれかに記載の製造方法。

27. 前記 n 側電極膜は前記 n 側電極の表面全体を覆って形成される、21～26 のいずれかに記載の製造方法。

請 求 の 範 囲

1. その同一面側に形成された p 側電極及び n 側電極を有する III 族窒化物系化合物半導体発光素子であって、

該 p 側電極の表面に形成された Au を含む p 側電極膜と、

該 n 側電極の表面に形成された Au を含む n 側電極膜とを有する III 族窒化物系化合物半導体発光素子。

2. 前記 p 側電極膜は、Ti, Cr, W, Mo, Ta, Zr, 及び V からなる群より選択される金属又は該金属の合金からなる下地層と、該下地層の上に形成される Au 又は Au 合金からなる上層と、を含む複数の層により構成される、請求の範囲第 1 項に記載の III 族窒化物系化合物半導体発光素子。

3. 前記下地層は Ti 又は Ti 合金からなる、請求の範囲第 2 項に記載の III 族窒化物系化合物半導体発光素子。

4. 前記 n 側電極膜は、Ti, Cr, W, Mo, Ta, Zr, 及び V からなる群より選択される金属又は該金属の合金からなる下地層と、該下地層の上に形成される Au 又は Au 合金からなる上層と、を含む複数の層により構成される、請求の範囲第 1 項に記載の III 族窒化物系化合物半導体発光素子。

5. 前記下地層は Ti 又は Ti 合金からなる、請求の範囲第 4 項に記載の III 族窒化物系化合物半導体発光素子。

6. 前記 p 側電極膜と前記 n 側電極膜は同一の層構成である、請求の範囲第 1 項に記載の III 族窒化物系化合物半導体発光素子。

7. 前記 p 側電極膜は前記 p 側電極の表面全体を覆って形成される、請求

の範囲第 1 項に記載の III 族窒化物系化合物半導体発光素子。

8. 前記 n 側電極膜は前記 n 側電極の表面全体を覆って形成される、請求の範囲第 1 項に記載の III 族窒化物系化合物半導体発光素子。

9. その同一面側に形成された p 側電極及び n 側電極を有し、該 p 側電極の表面に形成された Au を含む p 側電極膜と、該 n 側電極の表面に形成された Au を含む n 側電極膜とを有する III 族窒化物系化合物半導体発光素子と、
前記発光素子がマウントされる支持体とを有する発光装置。

10. 前記発光素子が、Au バンプを介して前記支持体上にマウントされた、請求の範囲第 9 項に記載の発光装置。

11. 前記支持体が、前記 p 側電極に接続された p 側領域及び前記 n 側電極に接続された n 側領域を有する基板である、請求の範囲第 9 項に記載の発光装置。

12. 前記支持体が、前記 p 側電極および前記 n 側電極に接続された配線パターンを有する基板である、請求の範囲第 9 項に記載の発光装置。

13. 前記 p 側電極膜は、Ti, Cr, W, Mo, Ta, Zr, 及び V からなる群より選択される金属又は該金属の合金からなる下地層と、該下地層の上に形成される Au 又は Au 合金からなる上層と、を含む複数の層により構成される、請求の範囲第 9 項に記載の発光装置。

14. 前記下地層は Ti 又は Ti 合金からなる、請求の範囲第 13 項に記載の III 族窒化物系化合物半導体発光装置。

15. 前記 n 側電極膜は、Ti, Cr, W, Mo, Ta, Zr, 及び V か

らなる群より選択される金属又は該金属の合金からなる下地層と、該下地層の上に形成されるAu又はAu合金からなる上層と、を含む複数の層により構成される、請求の範囲第9項に記載の発光装置。

16. 前記下地層はTi又はTi合金からなる、請求の範囲第15項に記載の発光装置。

17. 前記p側電極膜と前記n側電極膜は同一の層構成である、請求の範囲第9項に記載の発光装置。

18. 前記p側電極膜は前記p側電極の表面全体を覆って形成される、請求の範囲第9項に記載の発光装置。

19. 前記n側電極膜は前記n側電極の表面全体を覆って形成される、請求の範囲第9項に記載の発光装置。

FIG. 1

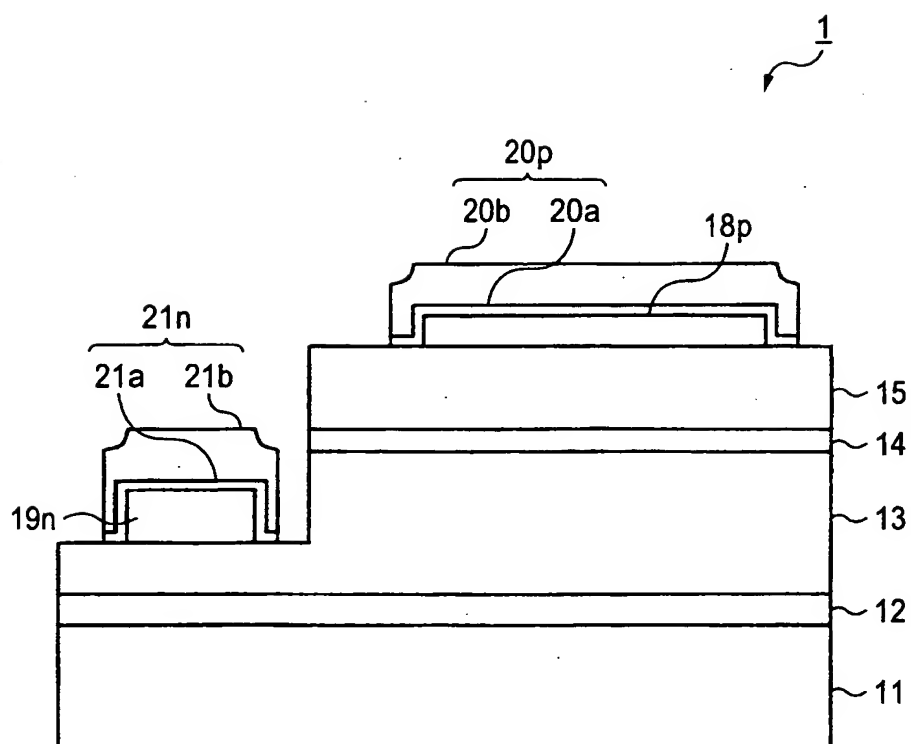


FIG. 2

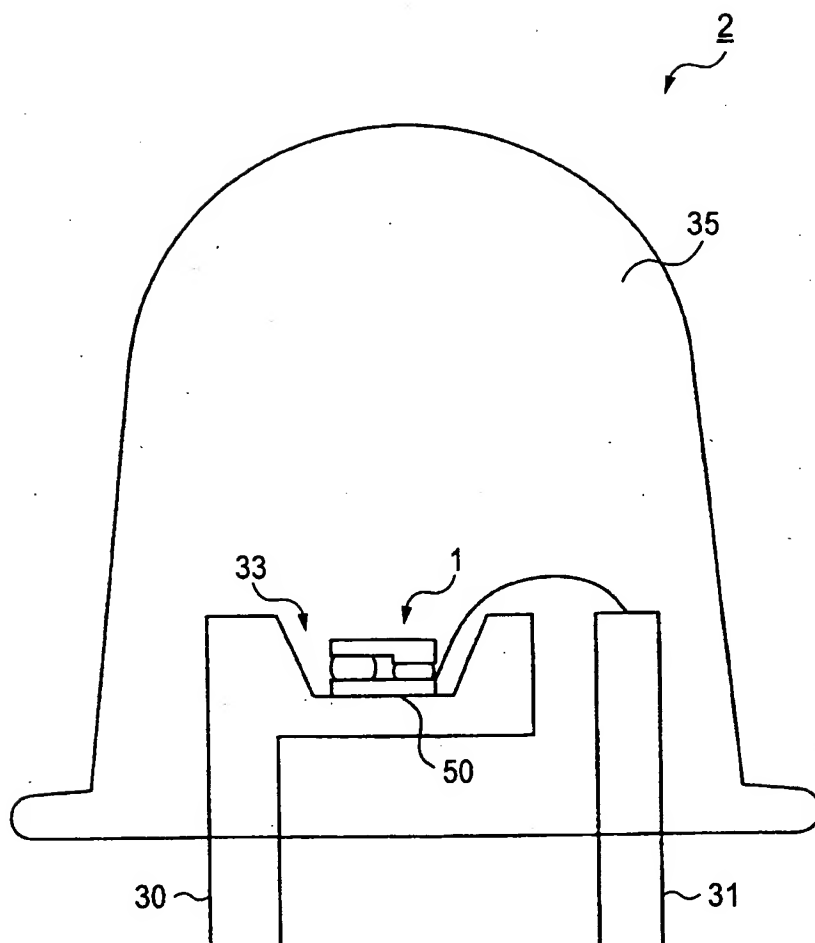


FIG. 3

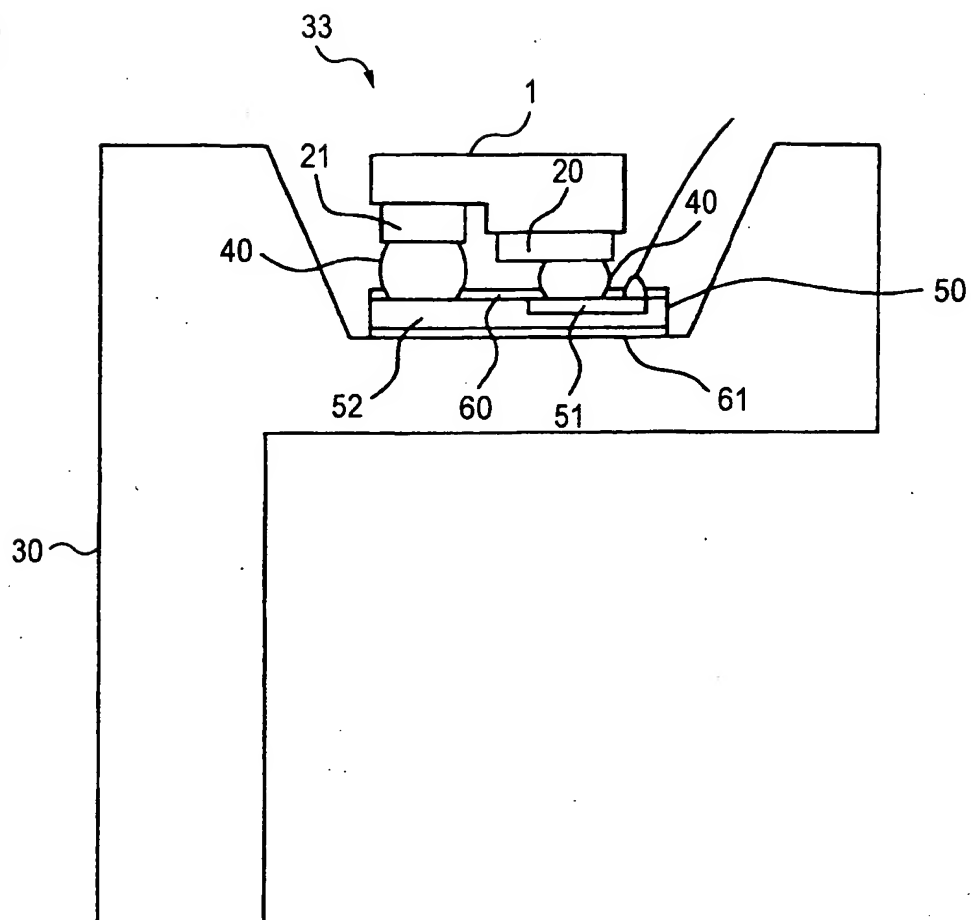
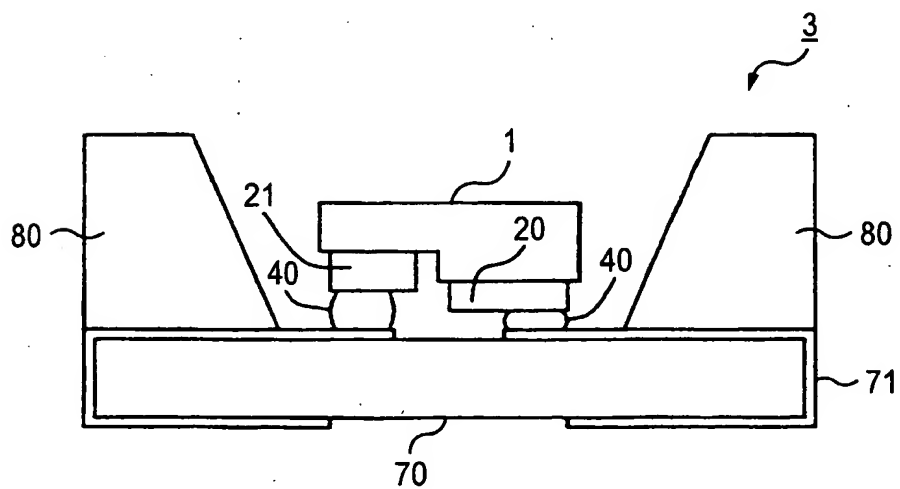


FIG. 4



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05430

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-315819 A (Rohm Co., Ltd.), 14 November, 2000 (14.11.00), Par. No. [0019]; Fig. 1 (Family: none)	1, 9
X	JP 2000-164928 A (Toshiba Electronic Engineering Corp.), 16 June, 2000 (16.06.00), Par. Nos. [0045], [0046]; Figs. 1, 2 (Family: none)	1, 9

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 August, 2002 (23.08.02)Date of mailing of the international search report
17 September, 2002 (17.09.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05430

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

A search by the Authority has revealed that the invention according to claim 1 was known to the public on the filing date of the present application.

As a result, the invention according to claim 1 is fallen within the scope of the prior art, and therefore, the matter described in claim 1 is not the special technical feature in the meaning of the second sentence of PCT Rule 13.2.

Accordingly, the invention according to claims 1 and 9 (an element and an apparatus using Au as an electrode film), the invention according to claims 2 to 5 and 13 to 16 (relating to an undercoat layer), the invention according (continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05430

Continuation of Box No.II of continuation of first sheet(1)

to claims 6 and 17 (a p-electrode and an n-electrode have the same layer constitution), the invention according to claims 7 to 8 and 18 to 19 (an electrode is formed in such a manner as to cover the whole surface of another electrode), the invention according to claim 10 (relating to Au bump), the invention according to claim 11 (relating to an electroconductive region of a support) and the invention according to claim 12 (relating to a wiring pattern of a support) do not comply with the requirement of unity of invention.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. 7 H01L 33/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. 7 H01L 33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2002年
 日本国登録実用新案公報 1994-2002年
 日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-315819 A(ローム株式会社)2000.11.14 【0019】、図1 (ファミリーなし)	1, 9
X	JP 2000-164928 A(東芝電子エンジニアリング株式会社) 2000.06.16, 【0045】、【0046】、図1,2 (ファミリーなし)	1, 9

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 23.08.02

国際調査報告の発送日 17.09.02

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JPO)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 道祖土 新吾
 電話番号 03-3581-1101 内線 3253

第Ⅰ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅱ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

調査の結果、請求の範囲1に記載される発明は、出願当時公知であったことが判明した。

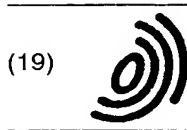
結果として、請求の範囲1に記載される発明は、先行技術の域を出ないから、PCT規則13.2の第2文の意味において、請求の範囲1に記載される事項は特別な技術的特徴ではない。

したがって、請求の範囲1、9に示される発明（Auを電極膜として利用した素子、装置）と、請求の範囲2-5、13-16に示される発明（下地層に関する）と、請求の範囲6、17に示される発明（p電極とn電極とを同一にする）と、請求の範囲7-8、18-19に示される発明（電極を表面全体を覆う）と、請求の範囲10に示される発明（Auバンプに関する）と、請求の範囲11に示される発明（支持体の導電領域に関する）と、請求の範囲12に示される発明（支持体の配線パターンに関する）は、発明の単一性の要件を満たしていない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) **EP 1 406 313 A1**

(12)

EUROPEAN PATENT APPLICATION
published in accordance with Art. 158(3) EPC

(43) Date of publication:
07.04.2004 Bulletin 2004/15

(51) Int Cl.7: **H01L 33/00**

(21) Application number: **02730876.6**

(86) International application number:
PCT/JP2002/005430

(22) Date of filing: **03.06.2002**

(87) International publication number:
WO 2002/101841 (19.12.2002 Gazette 2002/51)

(84) Designated Contracting States:
**AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE TR**
Designated Extension States:
AL LT LV MK RO SI

(72) Inventors:
• **UEMURA, Toshiya, c/o Toyoda Gosei Co. Ltd.
Nishikasugai-gun, Aichi 452-8564 (JP)**
• **HORIUCHI, Shigemi, c/o Toyoda Gosei Co. Ltd.
Nishikasugai-gun, Aichi 452-8564 (JP)**

(30) Priority: **06.06.2001 JP 2001170908**

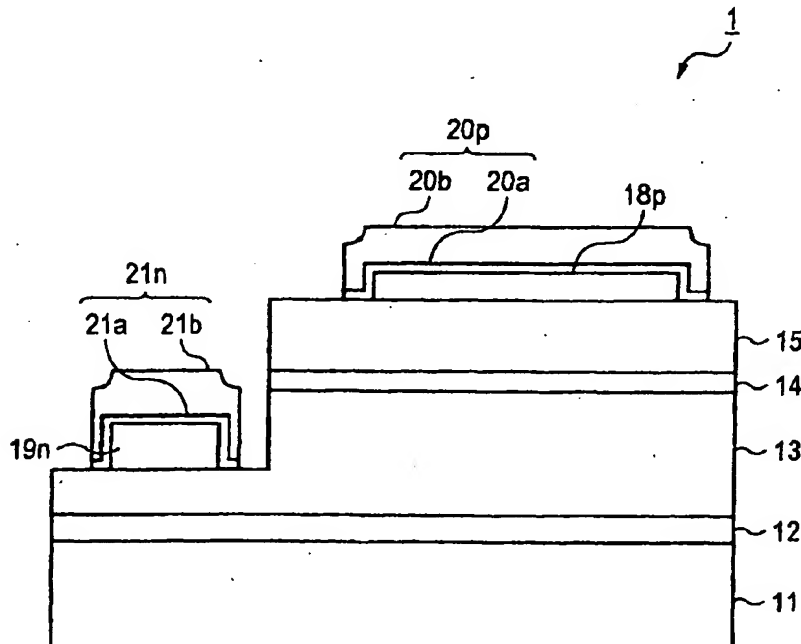
(74) Representative:
**Blumbach, Kramer & Partner GbR
Radeckestrasse 43
81245 München (DE)**

(71) Applicant: **Toyoda Gosei Co., Ltd.
Nishikasugai-gun, Aichi-ken 452-8564 (JP)**

(54) III GROUP NITRIDE BASED SEMICONDUCTOR LUMINESCENT ELEMENT

(57) In a flip chip type Group III nitride compound semiconductor light-emitting element, an Au layer is provided on each of a surface of a p-side electrode and a surface of an n-side electrode with interposition of a Ti layer.

FIG. 1



EP 1 406 313 A1

Description

Technical Field

5 [0001] The present invention relates to a Group III nitride compound semiconductor light-emitting element. Particularly it relates to a Group III nitride compound semiconductor light-emitting element having a p-side electrode and an n-side electrode formed on one surface side and preferably used in a flip chip type light-emitting device.

Background Art

10 [0002] There is known a (flip chip type) light-emitting device configured so that an element having a light-emitting layer of Group III nitride compound semiconductor is mounted on a support while a surface of the element on which a p-side electrode and an n-side electrode are formed is used as a mount surface. In this type light-emitting device, light emitted from the light-emitting layer of the light-emitting element passes through a light-transmissive substrate so as to be radiated to the outside. The electrodes of the light-emitting element are electrically connected to electrodes (an n layer and a p layer or wiring patterns) of the support through electrically conductive adhesive members respectively. High electric conductivity is required of the electrically conductive adhesive members. Generally, adhesive members of Au (Au bumps) are used as the electrically conductive adhesive members. Al, V, etc. can be used as the n-side electrode of the light-emitting element. On the other hand, Rh, etc. low in contact resistance and high in reflection efficiency can be used as the p-side electrode.

20 [0003] When Rh is used as the p-side electrode, adhesion of Rh to the Au bump is low. Therefore, a thick film of Au may be formed on a surface of the p-side electrode in advance to enhance adhesion of the p-side electrode to the Au bump. As a result, bonding strength between the light-emitting element and the support can be enhanced. When attention is paid to the n-side electrode, the surface of the n-side electrode is however made of Al etc. which is the material of the electrode. It cannot be said that bonding strength between the n-side electrode and the Au bump is sufficient. For this reason, there is still room for improvement in preservative characteristic or durability. There is also fear that a sufficient element function cannot be exhibited because failure occurs in bonding between the n-side electrode and the support. Furthermore, it is undesirable from the point of view of corrosion resistance that Al etc. which is the material of the electrode is exposed at the surface of the n-side electrode. When the electrodes one of which is made of Al while the other is made of Au have to be soldered, there is a further problem in solderability of the electrodes.

25 [0004] The invention is developed in consideration of the aforementioned problems and an object of the invention is to provide a Group III nitride compound semiconductor light-emitting element which is excellent in preservative characteristic or durability and which has a more stable element function.

Disclosure of the Invention

35 [0005] To achieve the foregoing object, the invention is configured as follows. That is, according to the invention, there is provided a Group III nitride compound semiconductor light-emitting element having a p-side electrode and an n-side electrode formed on one surface side, the Group III nitride compound semiconductor light-emitting element further having: a p-side electrode film containing Au and formed on a surface of the p-side electrode; and an n-side electrode film containing Au and formed on a surface of the n-side electrode.

40 [0006] In the aforementioned configuration, a film containing a material (Au) of an adhesive member (Au bump) used for mounting the light-emitting element on a support is formed on each of a surface of the p-side electrode and a surface of the n-side electrode to improve adhesion between each of the two electrode surfaces and the adhesive member. As a result, when the light-emitting element is mounted on the support, bonding strength between the light-emitting element and the support is improved. Accordingly, stabilization of the element function is attained and preservative characteristic or durability is improved.

45 [0007] Furthermore, because a film containing Au is formed on each of the two electrode surfaces, corrosion resistance of each of the two electrode surfaces is improved. It can be said from this point of view that a Group III nitride compound semiconductor light-emitting element high in preservative stability or durability is provided.

50 [0008] As described above, in accordance with the configuration of the invention, a light-emitting element excellent in preservative characteristic or durability and having a more stable element function is provided.

55 [0009] Incidentally, in the aforementioned configuration, because films the same in configuration are formed on the two electrode surfaces, the color tones of the two electrode surfaces can be matched with each other. Accordingly, there is also provided an effect of attaining improvement in appearance recognition of a surface of the light-emitting element on which the two electrodes are formed, improvement in mount accuracy at the time of mounting the support on the light-emitting element having the surface used as a mount surface, improvement in efficiency in the mounting process, etc.

Brief Description of the Drawings

[0010]

Fig. 1 is a view showing a light-emitting element as an embodiment of the invention;
 Fig. 2 is a view showing an LED formed by using the light-emitting element;
 Fig. 3 is an enlarged view of the neighborhood of a cup-like portion in the LED; and
 Fig. 4 is a view showing an SMD type LED formed by using the light-emitting element.

Best Mode for Carrying Out the Invention

[0011] A Group III nitride compound semiconductor light-emitting element according to the invention is a flip chip type light-emitting element having a p-side electrode and an n-side electrode formed on one surface side. The flip chip type light-emitting element means a light-emitting element used in a flip chip type light-emitting device, that is, a light-emitting element which is used to be mounted on a support such as a board while the surface of the light-emitting element on which the p-side electrode and the n-side electrode are formed is used as a mount surface. Emitted light is radiated from the board side, that is, from a side opposite to the surface side on which the electrodes are formed.

[0012] The Group III nitride compound semiconductor light-emitting element means a light-emitting element having a light-emitting layer made of Group III nitride compound semiconductor. Here, the Group III nitride compound semiconductor is represented by the general formula $Al_xGa_yIn_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$) which expresses quaternary compounds but includes so-called binary compounds such as AlN, GaN and InN, and so-called ternary compounds such as $Al_xGa_{1-x}N$, $Al_xIn_{1-x}N$ and $Ga_xIn_{1-x}N$ ($0 < x < 1$ in the above). The Group III elements may be partially replaced by boron (B), thallium (Tl), etc. The nitrogen (N) may be partially replaced by phosphorus (P), arsenic (As), antimony (Sb), bismuth (Bi), etc. The Group III nitride compound semiconductor layer may contain any optional dopant. Si, Ge, Se, Te, C, etc. may be used as n-type impurities. Mg, Zn, Be, Ca, Sr, Ba, etc. may be used as p-type impurities.

[0013] The Group III nitride compound semiconductor layer can be formed by a known method such as a metal organic chemical vapor deposition method (MOCVD method), a molecular beam epitaxy method (MBE method), a halide vapor phase epitaxy method (HVPE method), a sputtering method, an ion-plating method, an electron showering method, etc.

[0014] Incidentally, after doped with p-type impurities, the Group III nitride compound semiconductor may be subjected to electron beam irradiation, plasma irradiation or heating due to a furnace. This is however not essential.

[0015] Respective members of the invention will be described below in more detail.

(p-Side Electrode)

[0016] A metal such as Rh, Au, Pt, Ag, Cu, Al, Ni, Co, Mg, Pd, V, Mn, Bi, Sn, Re, etc. or its alloy can be used as a material of the p-side electrode. Especially, Rh or Pt can be used as a preferred material of the p-side electrode because it has high reflection efficiency to the wavelength of light emitted from the Group III nitride compound semiconductor light-emitting element. The p-side electrode may be formed as a two-layer or multi-layer structure in which layers different in composition are laminated.

(p-Side Electrode Film)

[0017] A p-side electrode film containing Au (gold) is formed on a surface of the p-side electrode. The p-side electrode film enhances adhesion of the p-side electrode to an adhesive member of Au (hereinafter referred to as "Au bump") used at the time of mounting the light-emitting element on the support to consequently enhance bonding strength between the light-emitting element and the support.

[0018] The p-side electrode film may be formed in any manner if at least one part of the surface of the p-side electrode can be covered with the p-side electrode film. Preferably, the p-side electrode film is formed so that the surface of the p-side electrode is entirely covered with the p-side electrode film. As a result, the surface of the p-side electrode is entirely covered with the film containing Au so that corrosion resistance of the surface of the p-side electrode is improved. In addition, improvement in adhesion to the Au bump can be expected.

[0019] The p-side electrode film is preferably formed as a laminate of a plurality of layers. For example, a two-layer structure having a starting layer made of a metal selected from the group consisting of Ti, Cr, W, Mo, Ta, Zr and V or an alloy of the metal, and an upper layer made of Au or an Au alloy and formed on the starting layer is preferably used as the p-side electrode film. The starting layer mentioned here is used for enhancing adhesion between the p-side electrode surface and the upper layer (the layer made of Au or an Au alloy). Particularly preferably, Ti, Cr or V is used as the material of the starting layer because the starting layer can be formed easily by vapor deposition or the like.

The material of the upper layer is preferably selected to be the same as the material of the Au bump. This is for enhancing adhesion between the two. Another layer may be formed between the starting layer and the upper layer or on the upper layer.

[0020] The film thickness of the starting layer is preferably selected to be smaller than the film thickness of the upper layer. In other words, it is preferable that a thin starting layer is formed on the surface of the p-side electrode and that a thick-film upper layer is formed on the thin starting layer. The formation of the thin starting layer suppresses increase in electric resistance due to the starting layer. The formation of the thick upper layer improves adhesion between the p-side electrode film and the Au bump. The film thickness of the starting layer is, for example, in a range of from 1 nm to 100 nm, preferably in a range of from 5 nm to 50 nm. The film thickness of the upper layer is, for example, in a range of from 0.1 μm to 50 μm , preferably in a range of from 0.3 μm to 3 μm .

(n-Side Electrode)

[0021] A metal such as Al, V, Sn, Ti, Cr, Nb, Ta, Mo, W, Hf, etc. or its alloy can be used as a material of the n-side electrode. The n-side electrode may be formed as a two-layer or multi-layer structure in which layers different in composition are laminated. For example, the n-side electrode may be formed as a two-layer structure of V and Al.

(n-Side Electrode Film)

[0022] An n-side electrode film containing Au (gold) is formed on a surface of the n-side electrode, like the p-side electrode surface. The formation of the n-side electrode film enhances adhesion (close contact) between the n-side electrode and the Au bump at the time of mounting the light-emitting element on the support by the Au bump to consequently improve bonding strength between the light-emitting element and the support.

[0023] The n-side electrode film may be formed in any manner if at least one part of the surface of the n-side electrode can be covered with the n-side electrode film. Preferably, the n-side electrode film is formed so that the surface of the n-side electrode is entirely covered with the n-side electrode film. As a result, the surface of the n-side electrode is entirely covered with the film containing Au so that corrosion resistance of the n-side electrode is improved. In addition, improvement in adhesion to the Au bump can be expected.

[0024] The n-side electrode film is preferably formed as a laminate of a plurality of layers. For example, a two-layer structure having a starting layer made of a metal selected from the group consisting of Ti, Cr, W, Mo, Ta, Zr and V or an alloy of the metal, and an upper layer made of Au or an Au alloy and formed on the starting layer is preferably used as the n-side electrode film. The starting layer mentioned here is used for enhancing adhesion between the n-side electrode surface and the upper layer (the layer made of Au or an Au alloy). Particularly preferably, Ti, Cr or V is used as the material of the starting layer because the starting layer can be formed easily by vapor deposition or the like. The material of the upper layer is preferably selected to be the same as the material of the Au bump. This is for enhancing adhesion between the two. Another layer may be formed between the starting layer and the upper layer or on the upper layer.

[0025] The film thickness of the starting layer is preferably selected to be smaller than the film thickness of the upper layer. In other words, it is preferable that a thin starting layer is formed on the surface of the n-side electrode and that a thick-film upper layer is formed on the thin starting layer. The formation of the thin starting layer suppresses increase in electric resistance due to the starting layer. The formation of the thick upper layer improves adhesion between the n-side electrode film and the Au bump. The film thickness of the starting layer is, for example, in a range of from 1 nm to 100 nm, preferably in a range of from 5 nm to 50 nm. The film thickness of the upper layer is, for example, in a range of from 0.1 μm to 50 μm , preferably in a range of from 0.3 μm to 3 μm .

[0026] The configuration of the n-side electrode film is preferably selected to be the same as the configuration of the p-side electrode film. In such a mode, the n-side electrode film and the p-side electrode film can be formed simultaneously, so that the production process can be simplified. For example, each of the n-side electrode film and the p-side electrode film is formed as a structure having a starting layer of Ti, and an upper layer of Au laminated on the starting layer.

[0027] For example, the Group III nitride compound semiconductor element light-emitting element according to the invention can be produced as follows.

[0028] First, a substrate on which Group III nitride compound semiconductor layers can be grown is prepared. A plurality of semiconductor layers are laminated on the substrate so that at least an n-type Group III nitride compound semiconductor layer, a light-emitting layer of Group III nitride compound semiconductor and a p-type Group III nitride compound semiconductor layer are arranged in order. Sapphire, spinel, silicon, silicon carbide, zinc oxide, gallium phosphide, gallium arsenide, magnesium oxide, manganese oxide, Group III nitride compound semiconductor single crystal, etc. can be used as the substrate. When a sapphire substrate is used, a face a of the substrate is preferably used.

[0029] Then, an etching process is applied to reveal a part of the n-type semiconductor layer. Then, a p-side electrode

and an n-side electrode are formed on the p-type Group III nitride compound semiconductor layer and on the n-type Group III nitride compound semiconductor layer respectively. The p-side electrode and the n-side electrode can be formed by a known method such as vapor deposition, sputtering, etc. Then, a surface of the sample is cleaned. Examples of the cleaning method include heating, ultraviolet-ray irradiation, etc. When the sample surface, especially a surface of the n-electrode is cleaned, sufficient bonding strength can be kept between the n-side electrode and an n-side electrode film. Then, a p-side electrode film is formed on a surface of the p-side electrode. Similarly, an n-side electrode film is formed on a surface of the n-side electrode. Each of the p-side electrode film and the n-side electrode film can be formed by a known method such as vapor deposition, sputtering, etc. When the p-side electrode film and the n-side electrode are selected to be equal in configuration to each other, the p-side electrode film and the n-side electrode film can be formed simultaneously.

<Embodiment>

[0030] The configuration of the invention will be described below in more detail in connection with an embodiment of the invention.

[0031] Fig. 1 is a view typically showing the configuration of a light-emitting element 1 as an embodiment. Specifications of respective layers in the light-emitting element 1 are as follows.

Layer	Composition
p-type layer 15	p-GaN:Mg
Layer 14 containing a light-emitting layer	inclusive of InGaN layer
n-type layer 13	n-GaN:Si
Buffer layer 12	AlN
Substrate 11	sapphire

[0032] An n-type layer 13 of GaN doped with Si as n-type impurities is formed on a substrate 11 with interposition of a buffer layer 12. Although sapphire is used as the substrate 11 here, the substrate 11 is not limited thereto. Sapphire, spinel, silicon, silicon carbide, zinc oxide, gallium phosphide, gallium arsenide, magnesium oxide, manganese oxide, Group III nitride compound semiconductor single crystal, etc. may be used. Although the buffer layer is made of AlN by an MOCVD method, the buffer layer is not limited thereto. GaN, InN, AlGaIn, InGaIn, AlInGaIn, etc. may be used as the material of the buffer layer. A molecular beam epitaxy method (MBE method), a halide vapor phase epitaxy method (HVPE method), a sputtering method, an ion-plating method, an electron showering method, etc. may be used as the method for producing the buffer layer. When Group III nitride compound semiconductor is used as the substrate, the buffer layer can be omitted.

[0033] Furthermore, after the semiconductor element is formed, the substrate and the buffer layer may be removed as occasion demands.

[0034] Although the n-type layer is made of GaN here, AlGaIn, InGaIn or AlInGaIn may be used.

[0035] Although the n-type layer is doped with Si as n-type impurities, other n-type impurities such as Ge, Se, Te, C, etc. may be used.

[0036] The n-type layer 13 may be of a two-layer structure having an n- layer of low electron density on the light-emitting layer-containing layer 14 side, and an n+ layer of high electron density on the buffer layer 12 side.

[0037] The layer 14 containing a light-emitting layer may contain a light-emitting layer of a quantum well structure. A single hetero type structure, a double hetero type structure, a homo-junction type structure, etc. may be used as the structure of the light-emitting element.

[0038] The layer 14 containing a light-emitting layer may contain a Group III nitride compound semiconductor layer doped with an acceptor such as magnesium etc. and formed on the p-type layer 15 side so as to have a wide band gap. This is provided for effectively preventing electrons injected into the layer 14 containing a light-emitting layer from diffusing into the p-type layer 15.

[0039] A p-type layer 15 of GaN doped with Mg as p-type impurities is formed on the layer 14 containing a light-emitting layer. The p-type layer may be made of AlGaIn, InGaIn or InAlGaIn. Zn, Be, Ca, Sr or Ba may be used as p-type impurities.

[0040] The p-type layer 15 may be of a two-layer structure having a p- layer of low hole density on the layer 14 containing a light-emitting layer side, and a p+ layer of high hole density on the electrode side.

[0041] In the light-emitting diode configured as described above, each Group III nitride compound semiconductor layer may be formed by MOCVD executed in a general condition or may be formed by a method such as a molecular beam epitaxy method (MBE method), a halide vapor phase epitaxy method (HVPE method), a sputtering method, an ion-plating method, an electron showering method, etc.

[0042] After the p-type layer 15 is formed, the p-type layer 15, the layer 14 containing a light-emitting layer and the n-type layer 13 are partially removed by etching to reveal a part of the n-type layer 13.

[0043] Then, a p-electrode 18 of Rh is formed on the p-type layer 15 by vapor deposition. An n-electrode 19, which is composed of two layers of Al and V, is formed on the n-type layer 13 by vapor deposition. Then, alloying is performed by known means.

[0044] Each of a p-side electrode film 20 and an n-side electrode film 21 is composed of a starting layer 20a or 21a of Ti, and an upper layer 20b or 21b of Au laminated on the starting layer 20a or 21a. Each of the p-side electrode film 20 and the n-side electrode film 21 is formed by a lift-off method. In this embodiment, the film thickness of each of the starting layers 20a and 21a is set at 10 nm, and the film thickness of each of the upper layers 20b and 21b is set at 1 μ m.

[0045] After the aforementioned process, a process of separation into chips is carried out by using a scriber or the like.

[0046] Next, an example of a light-emitting device formed by using the light-emitting element 1 will be described. Fig. 2 shows a flip chip type LED 2 using the light-emitting element 1. The LED 2 generally includes the light-emitting element 1, lead frames 30 and 31, a sub-mount board 50 as a support, and a sealing resin 35. A mode of mounting of the light-emitting element 1 will be described below with reference to an enlarged view (Fig. 3) of the neighborhood of a cup-like portion 33 in the lead frame 30.

[0047] The light-emitting element 1 is mounted on the cup-like portion 33 of the lead frame 30 with interposition of the sub-mount board 50. The board 50 has a p-type region 51, and an n-type region 52. An electrically insulating film 60 of SiO₂ is formed on a surface of the board 50 except portions on which Au bumps 40 are formed. As shown in the drawing, when the light-emitting element 1 having its electrode side face downward is sub-mounted on the board 50, the p-side electrode film 20 is connected to the p-type region 51 of the board 50 through one of the Au bumps while the n-side electrode film 21 is likewise connected to the n-type region 52 of the board 50 through the other Au bump. As a result, the p-electrode 18 and the n-electrode 19 of the light-emitting element 1 are electrically connected to the p-type region 51 and the n-type region 52 of the board 50 respectively while the light-emitting element 1 is fixed to the board 50. The board 50 is bonded and fixed to the cup-like portion 33 of the lead frame 30 by silver paste 61 while a surface of the board 50 opposite to the surface on which the light-emitting element 1 is mounted is used as an adhesive surface.

[0048] Fig. 4 shows another type light-emitting device (LED 3) formed by using the light-emitting element 1. The LED 3 is an SMD (Surface Mount Device) type LED. Incidentally, parts the same as those in the LED 2 are denoted by the same reference numerals.

[0049] The LED 3 includes the light-emitting element 1, a board 70 as a support, and a reflecting member 80. The light-emitting element 1 is mounted on the board 70 while the electrode side of the light-emitting element 1 is used as a mount surface in the same manner as in the LED 2. Wiring patterns 71 are formed on surfaces of the board 70. When the p-side electrode film 20 and the n-side electrode film 21 of the light-emitting element 1 are bonded to the wiring patterns through the Au bumps 40, the two electrodes of the light-emitting element 1 are electrically connected to the wiring patterns. The reflecting member 80 is disposed on the board 70 so that the light-emitting element 1 is surrounded by the reflecting member 80. The reflecting member 80 is made of a white resin, so that a surface of the reflecting member 80 can highly efficiently reflect light radiated from the light-emitting element 1.

[0050] Although the invention has been described in detail and with reference to a specific embodiment, it is obvious to those skilled in the art that various changes or modifications may be made without departing from the spirit and scope of the invention.

[0051] This application is based on Japanese Patent Application (Japanese Patent Application No. 2001-170908) filed on June 6, 2001. The contents thereof must be incorporated herein by reference.

Industrial Applicability

[0052] The invention is not limited to the description of mode for carrying out the invention at all. Various modifications that can be easily conceived by those skilled in the art are also included in the invention without departing from the scope of Claim.

[0053] The following items are disclosed.

11. A Group III nitride compound semiconductor light-emitting element having a p-side electrode and an n-side electrode formed on one surface side, the light-emitting element further having a p-side electrode film containing Au and formed on a surface of the p-side electrode, and an n-side electrode film containing Au and formed on a surface of the n-side electrode, wherein the p-side electrode is made of a metal or two or more metals selected from the group consisting of Rh, Au, Pt, Ag, Cu, Al, Ni, Co, Mg, Pd, V, Mn, Bi, Sn and Re, or an alloy or alloys of the metal or metals.

12. A Group III nitride compound semiconductor light-emitting element having a p-side electrode and an n-side electrode formed on one surface side, the light-emitting element further having a p-side electrode film containing

Au and formed on a surface of the p-side electrode, and an n-side electrode film containing Au and formed on a surface of the n-side electrode, wherein the n-side electrode is made of a metal or two or more metals selected from the group consisting of Al, V, Sn, Ti, Cr, Nb, Ta, Mo, W and Hf, or an alloy or alloys of the metal or metals.

21. A method of producing a flip chip type Group III nitride compound semiconductor light-emitting element having a p-side electrode and an n-side electrode formed on one surface side, including the steps of:

forming a p-side electrode film containing Au on the p-side electrode; and
forming an n-side electrode film containing Au on the n-side electrode.

22. A producing method according to 21, further including the step of cleaning a surface of the n-side electrode before the n-side electrode film is formed.

23. A producing method according to 21 or 22, wherein the step of forming the p-side electrode film includes the steps of:

forming a starting layer on the p-side electrode, the starting layer being made of a metal selected from the group consisting of Ti, Cr, W, Mo, Ta, Zr and V, or an alloy of the metal; and
forming an upper layer made of Au or an Au alloy.

24. A producing method according to anyone of 21 to 23, wherein the step of forming the n-side electrode film includes the steps of:

forming a starting layer on the n-side electrode, the starting layer being made of a metal selected from the group consisting of Ti, Cr, W, Mo, Ta, Zr and V, or an alloy of the metal; and
forming an upper layer made of Au or an Au alloy.

25. A producing method according to any one of 21 to 24, wherein the step of forming the upper layer in the step of forming the p-side electrode film and the step of forming the upper layer in the step of forming the n-side electrode film are carried out simultaneously.

26. A producing method according to any one of 21 to 25, wherein the p-side electrode film is formed so that a surface of the p-side electrode is entirely covered with the p-side electrode film.

27. A producing method according to any one of 21 to 26, wherein the n-side electrode film is formed so that a surface of the n-side electrode is entirely covered with the n-side electrode film.

Claims

1. A Group III nitride compound semiconductor light-emitting element having a p-side electrode and an n-side electrode formed on one surface side, said Group III nitride compound semiconductor light-emitting element further having:

a p-side electrode film containing Au and formed on a surface of said p-side electrode; and
an n-side electrode film containing Au and formed on a surface of said n-side electrode.

2. A Group III nitride compound semiconductor light-emitting element according to claim 1, wherein said p-side electrode film is composed of a plurality of layers including a starting layer, and an upper layer formed on said starting layer, said starting layer being made of a metal selected from the group consisting of Ti, Cr, W, Mo, Ta, Zr and V or an alloy of said metal, said upper layer being made of Au or an Au alloy.

3. A Group III nitride compound semiconductor light-emitting element according to claim 2, wherein said starting layer is made of Ti or a Ti alloy.

4. A Group III nitride compound semiconductor light-emitting element according to claim 1, wherein said n-side electrode film is composed of a plurality of layers including a starting layer, and an upper layer formed on said starting layer, said starting layer being made of a metal selected from the group consisting of Ti, Cr, W, Mo, Ta, Zr and V or an alloy of said metal, said upper layer being made of Au or an Au alloy.

5. A Group III nitride compound semiconductor light-emitting element according to claim 4, wherein said starting layer

is made of Ti or a Ti alloy.

6. A Group III nitride compound semiconductor light-emitting element according to claim 1, wherein said p-side electrode film and said n-side electrode film are the same in layer structure.

7. A Group III nitride compound semiconductor light-emitting element according to claim 1, wherein said p-side electrode film is formed so that a surface of said p-side electrode is entirely covered with said p-side electrode film.

8. A Group III nitride compound semiconductor light-emitting element according to claim 1, wherein said n-side electrode film is formed so that a surface of said n-side electrode is entirely covered with said n-side electrode film.

9. A light-emitting device comprising:

a Group III nitride compound semiconductor light-emitting element having a p-side electrode and an n-side electrode formed on one surface side and further having a p-side electrode film containing Au and formed on a surface of said p-side electrode, and an n-side electrode film containing Au and formed on a surface of said n-side electrode; and
a support on which said light-emitting element is mounted.

10. A light-emitting device according to claim 9, wherein said light-emitting element is mounted on said support through Au bumps.

11. A light-emitting device according to claim 9, wherein said support is a board having a p-side region connected to said p-side electrode, and an n-side region connected to said n-side electrode.

12. A light-emitting device according to claim 9, wherein said support is a board having wiring patterns connected to said p-side electrode and said n-side electrode.

13. A light-emitting device according to claim 9, wherein said p-side electrode film is composed of a plurality of layers including a starting layer, and an upper layer formed on said starting layer, said starting layer being made of a metal selected from the group consisting of Ti, Cr, W, Mo, Ta, Zr and V or an alloy of said metal, said upper layer being made of Au or an Au alloy.

14. A Group III nitride compound semiconductor light-emitting device according to claim 13, wherein said starting layer is made of Ti or a Ti alloy.

15. A light-emitting device according to claim 9, wherein said n-side electrode film is composed of a plurality of layers including a starting layer, and an upper layer formed on said starting layer, said starting layer being made of a metal selected from the group consisting of Ti, Cr, W, Mo, Ta, Zr and V or an alloy of said metal, said upper layer being made of Au or an Au alloy.

16. A light-emitting device according to claim 15, wherein said starting layer is made of Ti or a Ti alloy.

17. A light-emitting device according to claim 9, wherein said p-side electrode film and said n-side electrode film are the same in layer structure.

18. A light-emitting device according to claim 9, wherein said p-side electrode film is formed so that a surface of said p-side electrode is entirely covered with said p-side electrode film.

19. A light-emitting device according to claim 9, wherein said n-side electrode film is formed so that a surface of said n-side electrode is entirely covered with said n-side electrode film.

FIG. 1

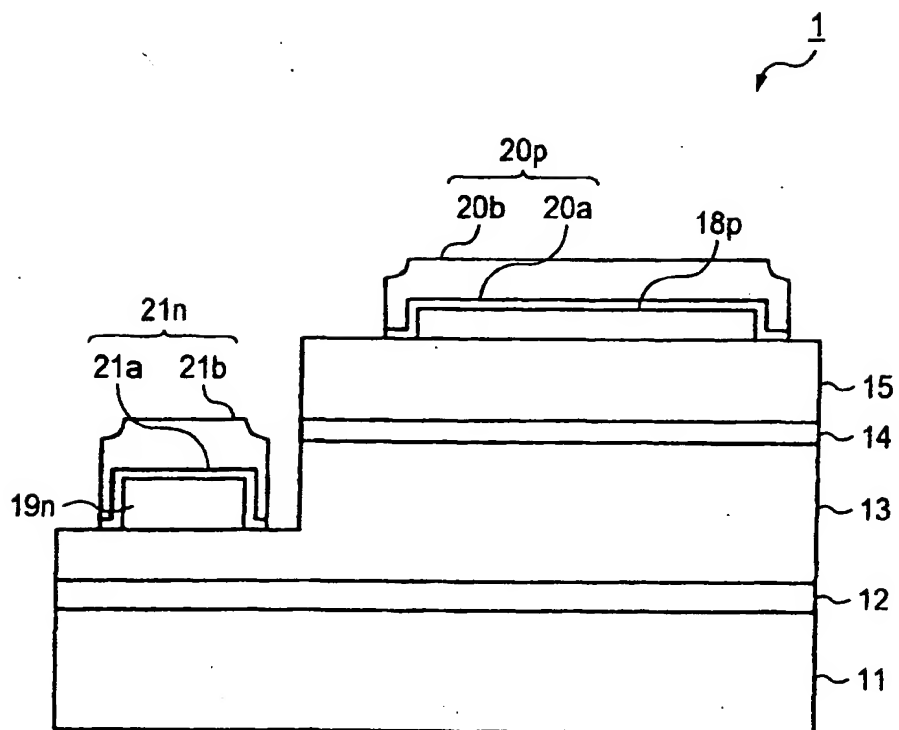


FIG. 2

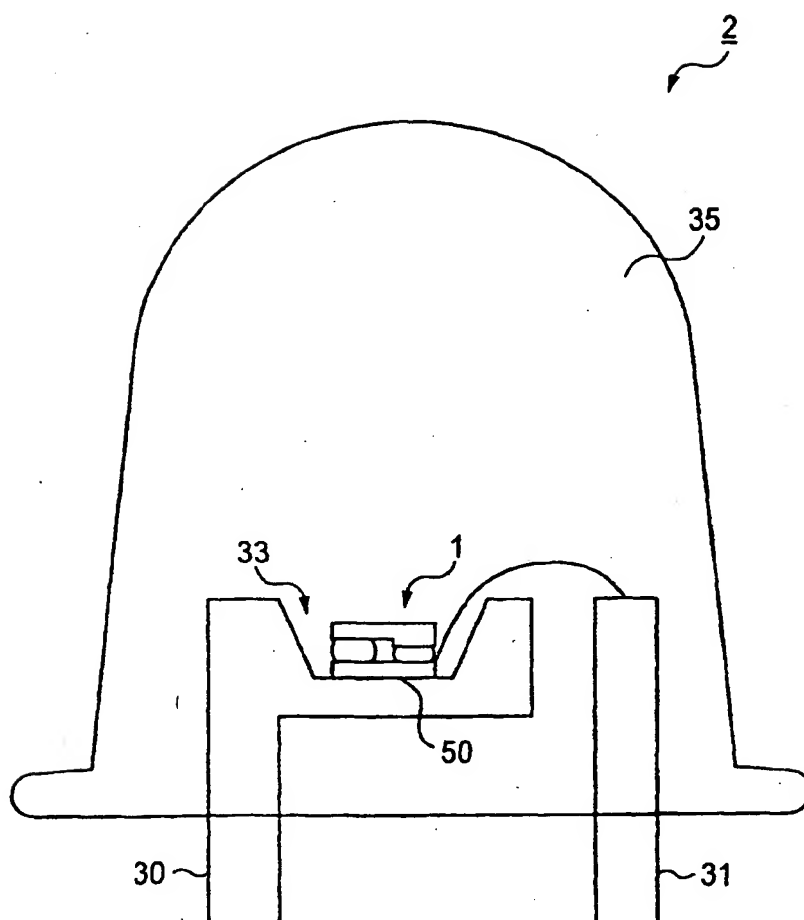


FIG. 3

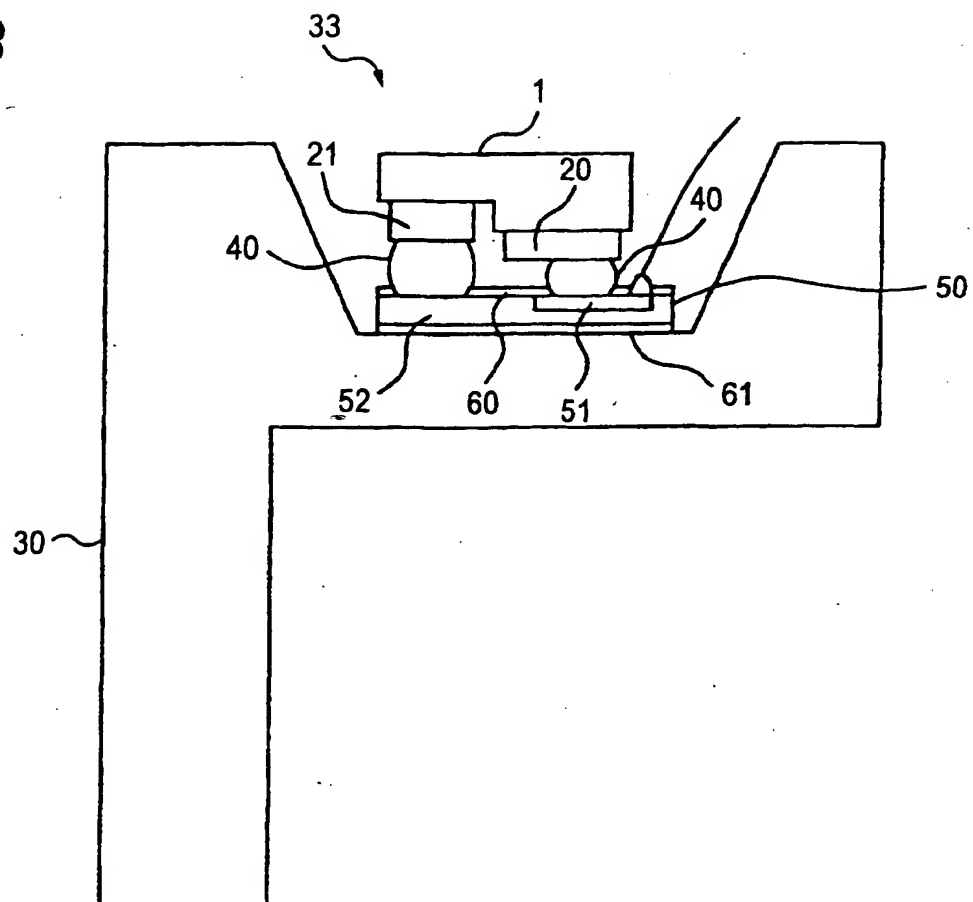
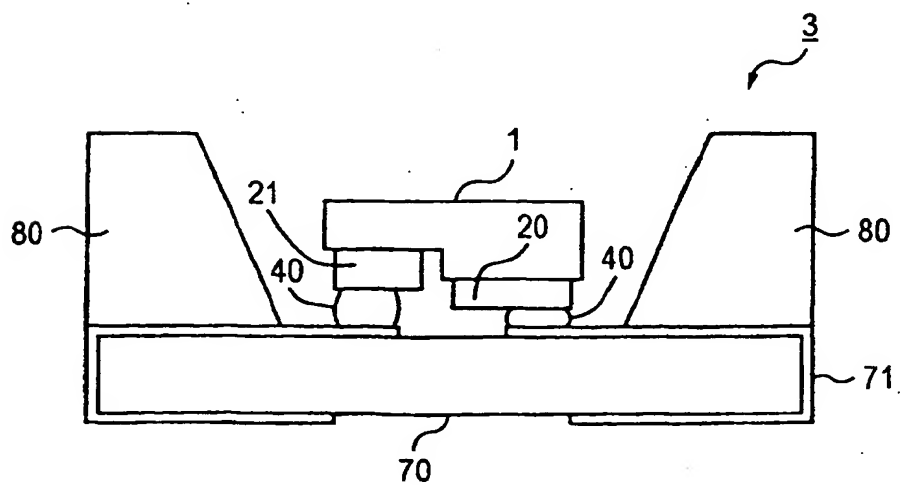


FIG. 4



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05430

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl.⁷ H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl.⁷ H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-315819 A (Rohm Co., Ltd.), 14 November, 2000 (14.11.00), Par. No. [0019]; Fig. 1 (Family: none)	1, 9
X	JP 2000-164928 A (Toshiba Electronic Engineering Corp.), 16 June, 2000 (16.06.00), Par. Nos. [0045], [0046]; Figs. 1, 2 (Family: none)	1, 9

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 August, 2002 (23.08.02)Date of mailing of the international search report
17 September, 2002 (17.09.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05430

Box I Observations where certain claims were found unsearchable (Continuation of Item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of Item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

A search by the Authority has revealed that the invention according to claim 1 was known to the public on the filing date of the present application.

As a result, the invention according to claim 1 is fallen within the scope of the prior art, and therefore, the matter described in claim 1 is not the special technical feature in the meaning of the second sentence of PCT Rule 13.2.

Accordingly, the invention according to claims 1 and 9 (an element and an apparatus using Au as an electrode film), the invention according to claims 2 to 5 and 13 to 16 (relating to an undercoat layer), the invention according

(continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

Form PCT/ISA/210 (continuation of first sheet (I)) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05430

Continuation of Box No.II of continuation of first sheet(1)

to claims 6 and 17 (a p-electrode and an n-electrode have the same layer constitution), the invention according to claims 7 to 8 and 18 to 19 (an electrode is formed in such a manner as to cover the whole surface of another electrode), the invention according to claim 10 (relating to Au bump), the invention according to claim 11 (relating to an electroconductive region of a support) and the invention according to claim 12 (relating to a wiring pattern of a support) do not comply with the requirement of unity of invention.

Form PCT/ISA/210 (extra sheet) (July 1998)